**PNP19w2gC:**

1.Ile rejestrów posiadał procesor 4004: **16 rejestrów 4 bit (Żadne z powyższych)**

2.W procesorze Sandy Bridge pojawiły się instrukcje: **AVX.**

3.Ile rejestrów MMX występuje w trybie EM64T procesorów Intel: **8**

4.Przekroczenie zakresu liczb całkowitych bez znaku wskazuje flaga: **OF.**

5.Jaki tryb adresowania występuje dla następującego argumentu instrukcji offset tabela: **prosty.**

6.Która z instrukcji umożliwia dodawanie wielokrotnej precyzji: **ADC.**

7.Która instrukcja pozwala na podanie dwóch argumentów z pamięci: **Żadna z powyższych** (mov, lods, stos, scas)

8.Po wykonaniu instrukcji MOV edx, 1234h; lzcnt eax, edx; rejestr eax będzie zawierał: **00000004h (lub żadna)**

9.Instrukcja fucomp zmienia flagi: **żadne z powyższych** (APC, OAC, OSZ, OZC)

10.Która instrukcja sprawdza poprawność indeksu tablicy: **BOUND**

11.Po wykonaniu której instrukcji bity w AL zmienią się na przeciwne: **XOR eax,255 (d)**

12.Które rejestry (EM64T) nie muszą być zabezpieczone jeśli są używane: **R8, R9, R10, YMM5**

13.Która z instrukcji dla liczb ze znakiem przesyła dla warunku mniejszości: **CMOVNGE**

14.Dziedziną instrukcji f2xm1 jest przedział:**< -1..1 >**

15.Do zmiany kolejności bajtów w rejestrze 32 bitowym służy: **BSWAP**

16.Podaj instrukcję MMX umożliwiającą wstawienie słowa do rejestru XMM: **PINSRW**

17.Program obliczający n! Wynik w eax: **MOV ecx, N; MOV eax, ecx; DEC ecx;**

**petla: MUL ecx; loop petla;**

18.Oblicz y = ln Pi dla y typu double: **FLDPI; FLD1, FYL2X; FLDL2E; FDIV; FSTP DWORD PTR Y;**

**PNP19…:**

1.Procesor Intel 4004 powstał w roku: **żadne z powyższych (1971)**

2.Który procesor jako pierwszy posiadał 32-bitową szynę adresową: **żaden z powyższych (80386)**

3.Generator liczb losowych pojawił się w procesorze: **Ivy Bridge**

4.Której flagi nie wykorzystuje się w instrukcjach skoku warunkowego: **AF ?**

5.Jaki tryb adresowania występuje dla wyróżnionego argumentu instrukcji mov eax, [1234h]: **bezpośredni**

6.Która z instrukcji umożliwia wyzerowanie rejestru: **wszystkie (XOR, SUB, MOV)**

7.Która instrukcja pozwala na wypełnienie bez pętli obszaru pamięci: **STOS**

8.Po wykonaniu instrukcji mov edx, 8234h; blsi eax, edx rejestr eax będzie: **00000004h**

10.Która z instrukcji nie istnieje: **ficompp**

11.Po wykonaniu której instrukcji zawartość AL zmieni się na 0ffh?: **XOR al, 5ah**

12.Który rejestr (EM64T) musi być zabezpieczony przed użyciem: **R12**

13.Która z instrukcji dla liczb bez znaku przesyła dla warunku większe równe: **CMOVNB**

14..Dziedziną x w instrukcji FYL2X jest przedział: **(0..+∞)**

15.Przeszukiwanie bitów wstecz realizuje instrukcja: **BSR**

16.Podaj instrukcję mmx obliczającą średnią z elementów wektora słów bez znaku: **PAVGW**

18.Oblicz y=e^x: **FLD x;FLDL2E;FMUL;FLD st(0);FRNDINT;FSUB(st1), st;FXCH st(1); F2XM1; FLD1; FADD; FSCALE; FSTP y;**

**PNP19w1aB3:**

1.Współczesne procesory i7 zbudowane są z: **żadne z powyższych**

2.Do odwołania się do zmiennych lokalnych podprogramu stosuje się: **EBP**

3.W którym trybie adresowania adres zmiennej zawiera się w kodzie instrukcji: **bezpośrednim**

4.Intel 4004 został opracowany do: **kalkulatora**

5.Która instrukcja zmienia flagi ZF, CF, PF: **FCOMI**

6.Po wykonaniu instrukcji mov ecx, 01020304h, mov eax,76543210h, sar eax,cl, bts, eax…:**47654321h**   
7.Która z instrukcji jest wykorzystywana w trakcie przenoszenia flag C3, C2 i C0 do flag ZF, PF i CF: **SAHF**

8.Która z instrukcji umożliwia dodanie trzech wartości?: **LEA**

9.Która z instrukcji pozwala na poszukiwanie podanego znaku w tekście?: **SCASB**

10.Prefix LOCK może odnosić się do instrukcji: **ADC**

11.Instrukcje AVX Intel wprowadził po raz pierwszy w procesorze: **Sandy Bridge**

12.Ile rejestrów YMM posiadają w trybie EM64T procesory Intel: **16**

13.Które rejestry(64) są używane do przekazywania parametrów: **RCX, RDX, R8, R9**

14.Która instrukcja dla liczb ze znakiem przesyła dla warunku mniejszości?: **CMOVL**

15.Do zmiany kolejności słów w rejestrze MMX służy instrukcji: **PSHUFW.**

16.Sprawdzenie równości wektorów słów realizuje instrukcja: **PCMPEQW.**

17.Napisz program obliczający średnią arytmetyczną z zawartości rejestrów rcx i rdx. Wynik w rax:**MOV rax,rcx; ADD rax,1; MOV rcx,2; IDIV rcx;**

18.Oblicz y=log\_10 x dla y,x typu double: **float dziesiec=10; FLD1; FLD dword ptr x; FYL2X; FLD1; FLD dziesiec; FYL2X; FDIV; FST dword ptr y;**

**PNP19w3gB:**

1.Procesor Intel 4004 powstał w roku: **żadne z powyższych (1971)**

2.Który procesor posiadał 24-bitową szynę danych: **80286**

3.Instrukcje FMA3 pojawiły się w procesorze: **Haswell**

4.W operacjach na liczbach BCD wykorzystuje się flagę: **AF**

5.Jaki tryb adresowania występuje dla wyróżnionego argumentu instrukcji mov eax,1234h: **prosty**

6.Która z instrukcji umożliwia odejmowanie wielokrotnej precyzji:**SBB (lub żadna)**

7.Która instrukcja pozwala na poszukiwanie danych w pamięci:**SCAS**

8.Po wykonaniu instrukcji mov edx,1234h tzcnt eax, edx rejestr eax będzie zawierał:**00000000h**

9.Zmienne lokalne przechowuje się w segmencie wskazywanym przez:**DS.**

10.Która z instrukcji nie jest poprawna: **fdivrp st(1), st**

11.Po wykonaniu której instrukcji zawartość AL. Zmieni się z 0a5h na 4ah:

12.Które rejestry (EM64T) może zawierać parametr wywołania funkcji:**XMM3**

13.Która z instrukcji dla liczb ze znakiem przesyła dla warunku mniejsze równe:**CMOVNG**

14.Dziedziną x w instrukcji fyl2xp1 jest przedział:**(-(1-sqrt2/2)..(1-sqrt2/2))**

15.Do pobrania tylko najmłodszego bitu=1 służy instrukcja:**BLSI**

16.Podaj instrukcję mmx zwalniającą rejestry dla koprocesora:**EMMS**

17.Napisz przy użyciu instrukcji łańcuchowych program, który kopiuje zawartość bufora1 do bufora2(1024bajty):**MOV ecx,1024; MOV esi, bufor1; MOV edi, bufor2; REP movsb**

18.Oblicz y=e^x dla y typu double: **FLD x;FLDL2E;FMUL;FLD st(0);FRNDINT;FSUB(st1), st;FXCH st(1); F2XM1; FLD1; FADD; FSCALE; FSTP dword ptr y;**